

⑨日本国特許庁(JP)

⑩特許出願公開

⑥公開特許公報(A) 平4-34942

⑦Int. Cl.⁸

識別記号

庁内整理番号

⑧公開 平成4年(1992)2月5日

H 01 L 21/336
21/265
29/784

8422-4M	H 01 L	29/78	3 0 1	Z
7738-4M		21/265		Z
7738-4M				V
8422-4M		29/78	3 0 1	H

審査請求 未請求 請求項の数 1 (全3頁)

④発明の名称 半導体装置の製造方法

⑤特 願 平2-140700

⑤出 願 平2(1990)5月30日

④発 明 者 齊 藤 修 一 東京都港区芝5丁目7番1号 日本電気株式会社内

④出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

④代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体装置の製造方法

特許請求の範囲

一 導電型の半導体基板の表面にゲート酸化膜を形成したのち、イオン注入により前記半導体基板の表面に非晶質層を形成する工程と、該非晶質層と前記半導体基板の単結晶領域との境界部に、一導電型の不純物を導入する工程と、ポリシリコンからなるゲート電極を形成したのち絶縁物からなるサイドウォールを形成する工程と、前記3工程終了後熱処理する工程とを含むことを特徴とする半導体装置の製造方法。

発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の製造方法に関し、特にMOSデバイスの形成方法に関するものである。

(従来の技術)

現在MOSデバイス形成における不純物の導入は、主としてイオン注入によって行なわれている。

デバイスパターンの微細化にともない、ソースドレイン接合深さが浅くなっているが、通常のイオン注入ではチャネリングによるテールが生じて接合深さを浅くすることができない。

これに対処する方法として2重注入法が、例えばC.M.LIM et al.によりIEEE Electron Device Letters, vol.9, no.11, 1989, pp.594に掲載されている。

予めシリコンイオン注入により非晶質層を形成してからキャリアとなるイオンを注入するというものである。

(発明が解決しようとする課題)

ソースドレイン形成工程において、2重注入を行なうと、接合のところでリーク電流が増大するという問題がある。

また単結晶層にイオン注入すると、イオンが積

特開平4-34942 (2)

方向に基がって、微細化が進むにつれてこの影響が顕著でなくなってきた。

さらにMOSFETのLDD構造の不純物濃度層の形成においては、チャネリング成分のため浅い接合の形成が困難である。

本発明の目的は、不純物濃度分布を高精度で制御し、かつリーク電流の増大を抑制する半導体装置の製造方法を提供することにある。

〔課題を解決するための手段〕

本発明の半導体装置の製造方法は、一導電型の半導体基板の表面にゲート酸化膜を形成したのち、イオン注入により前記半導体基板の表面に非晶質層を形成する工程と、該非晶質層と前記半導体基板の単結晶領域との境界部に、一導電型の不純物を導入する工程と、ポリシリコンからなるゲート電極を形成したのち絶縁物からなるサイドウォールを形成する工程と、熱処理により一括アニールする工程とを含んでいる。

〔作用〕

はじめにフィールド酸化膜およびゲート酸化膜

が形成されたP型シリコン基板の全面に4価元素をイオン注入して非晶質化する。

ここで空乏層が非晶質層の境界に達しないようにしている。

臨界注入量は $1 \times 10^{14} / \text{cm}^2$ でありゲート酸化膜が劣化する恐れはない。

つぎにチャネル、LDD、ソースドレインのイオン注入を行なうので、低ドーズ（注入量）領域における活性化率低下の問題が解決する。

また不純物が導入される領域が非晶質になっているので、マスクを通しての不純物の導入におけるチャネリングが起らず、チールの問題や横方向の拡がりも小さくできる。

すべてのイオン注入が終わってから一括して熱処理を行なっているため、不純物の再分布も軽減される。

〔実施例〕

本発明の一実施例について、第1図(a)～(c)を参照して説明する。

はじめに第1図(a)に示すように、LOC O

S法によりP型シリコン基板1に厚さ800nmのフィールド酸化膜2を形成し、熱酸化により厚さ7nmのゲート酸化膜3を形成する。

つぎにGeイオンを150keVおよび110keVで $1 \times 10^{14} / \text{cm}^2$ 注入して、非晶質シリコン層4を形成する。

つぎにBイオンを110keVで $1 \times 10^{13} / \text{cm}^2$ 注入してP⁺型埋込層5を形成する。

つぎにBイオンを30keVで $1 \times 10^{12} \sim 1 \times 10^{13} / \text{cm}^2$ 注入してP型チャネル層6を形成する。

つぎに第1図(b)に示すように、ポリシリコンからなるゲート電極7を形成し、Pイオンを40keVで $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ 注入してLDD構造のN型低濃度層8を形成する。

つぎに第1図(c)に示すように、全面にPSGからなる絶縁膜を堆積し、RIE法によりエッチバックしてPSGからなるサイドウォール9を形成する。

つぎにPイオンを70keVで $5 \times 10^{13} / \text{cm}^2$ 注入してN⁺型ソースドレイン10を形成する。

イオン注入が終わってから、一括して熱処理を行ない非晶質層4を再結晶化すると同時に、不純物層の活性化を行なう。

ここでは900～1000℃で、2～30秒間の、短時間ランプアニールを実施した。

そのあと層間絶縁膜を堆積し、コンタクトホールを開口して、金属配線層を形成してデバイスが完成する。

本実施例では非晶質シリコン層4を形成するときGeイオンを用いたが、SiイオンやSnイオンなどの4価イオンでも良い。イオンの質量が大きいほど非晶質化のための臨界ドーズが減り、より有効である。

本実施例では非晶質シリコン層4を形成してから、P⁺型埋込層5を形成し、P型チャネル層6を形成したが、この順序を変更することもできる。

〔発明の効果〕

不純物を導入する領域が非晶質化されているため、チャネル層およびソースドレイン層におい

てチャネリングに起因するテールは抑制されなかった。

イオン注入時の加速エネルギーを低くすることにより、さらに浅い不純物層を形成することができる。

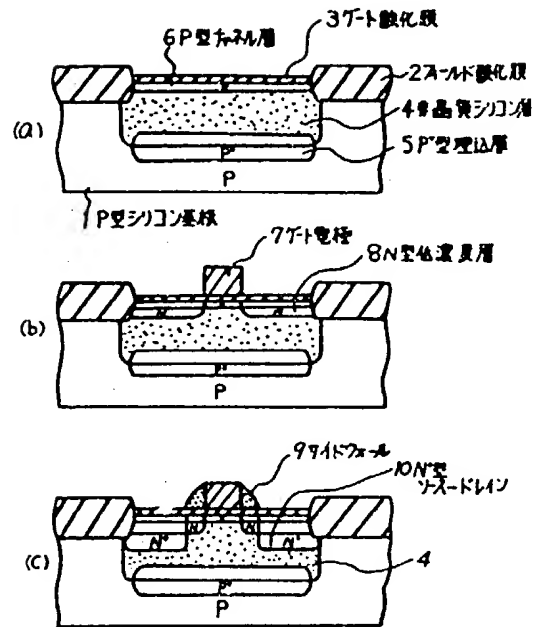
チャネリング成分がなくなって不純物の横方向拡がりも小さくなり、微細パターンデバイスの形成に有効であることがわかった。

低濃度層における活性化率も改善され、ほぼ100%近い値が得られることがわかった。

図面の簡単な説明

第1図(a)～(c)は本発明の一実施例を示す断面図である。

1…P型シリコン基板、2…フィールド酸化膜、3…ゲート酸化膜、4…非晶質シリコン層、5…P⁺型埋込層、6…P型チャネル層、7…ゲート電極、8…N型低濃度層、9…サイドウォール、10…N⁺型ソースドレイン。



第1図

代理人 余士内 原 晋